

Ergänzungen zum Tanh-Modell für MOS-Transistoren

1. Anderer Ansatz für die Simulation im Bereich der schwachen Inversion

Der Drain-Strom von MOS-Transistoren wird in der Nähe der Threshold-Spannung nur sehr klein, aber nicht null. Wie in der Basisarbeit [1] gezeigt wurde, gelingt die Simulation dieses Effektes durch eine Änderung der wirksamen Gate-Source-Spannung mittels einer Dioden-Schaltung im Gate-Source-Kreis. Die *korrigierte* Spannung kann aber auch direkt durch einen mathematischen Ausdruck gebildet werden. Wegen $\ln(1 + \varepsilon) \approx \ln(\varepsilon)$ für $\varepsilon \gg 1$ bzw. $\ln(1 + \varepsilon) \approx \varepsilon$ für $\varepsilon \ll 1$ bietet sich hierfür die folgende Funktion an:

$$Y(x) = \ln(1 + e^x) \quad \left\{ \begin{array}{l} Y(x) \approx x \quad \text{für } x \gg 1 \\ Y(x) \approx e^x \quad \text{für } x \ll -1 \end{array} \right. \quad (1)$$

In diese Funktion Y wird für x der dimensionslose Ausdruck $(V_{GS} - V_{Th})/(N_D \cdot V_T)$ eingesetzt. Y wird dann noch mit dem Spannungswert $(N_D \cdot V_T)$ multipliziert. Der mit der sogenannten Temperaturspannung $V_T = kT/q$ multiplizierte Parameter N_D bestimmt bei logarithmischer Auftragung die Steilheit der Funktion $(N_D \cdot V_T) \cdot Y$ im Sub-Threshold-Bereich. – Wie dies in LT-SPICE dargestellt werden kann, zeigt Bild 1. Die gesteuerte B-Quelle BG wird durch die Zuweisung $V = (\text{Funktion})$

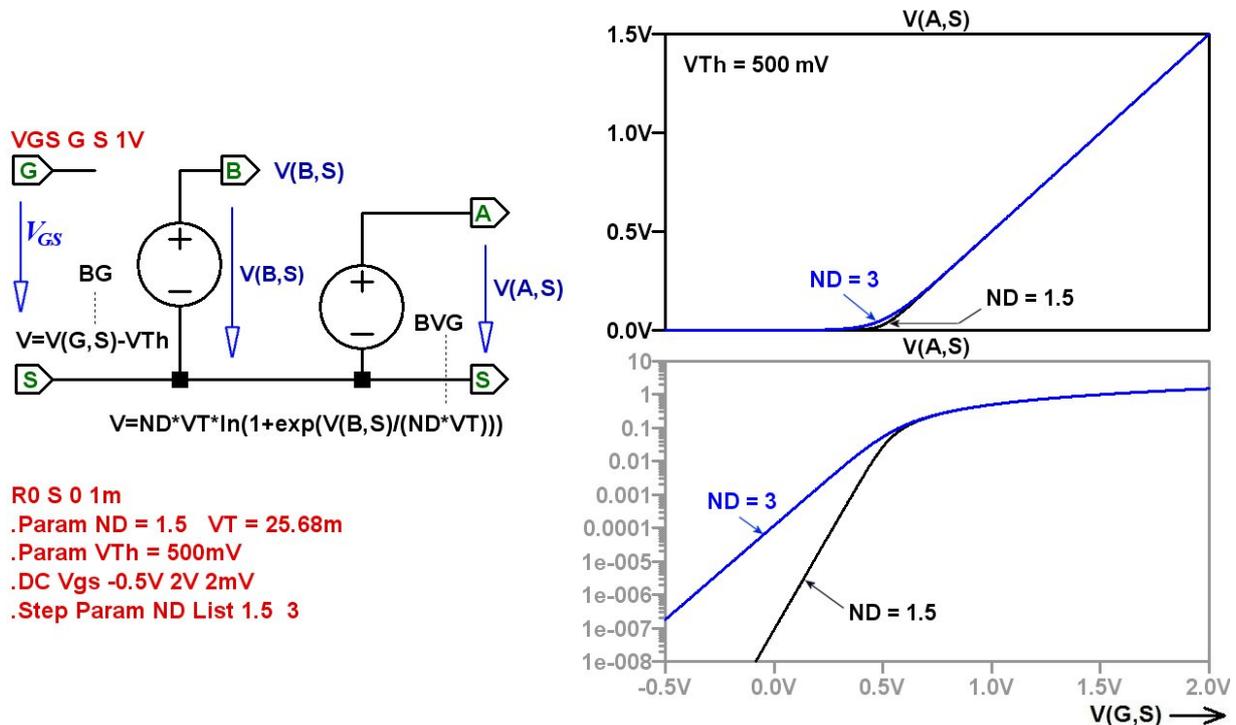


Bild 1 Links: Schaltung zur Implementierung der Gleichung (1); rechts oben: korrigierte Gate-Source-Spannung im linearen Maßstab; rechts unten: im logarithmischen Maßstab.

zur gesteuerten Spannungsquelle. Sie hat den Wert $V = V(G,S) - V_{Th}$. Hierin ist $V(G,S)$ die Gate-Source-Spannung V_{GS} , die zwischen den Knoten „G“ und „S“ anliegt. Die B-Quelle BVG stellt schließlich zwischen den Knoten „A“ und „S“ die korrigierte Gate-Source-Spannung $V(A,S)$ bereit. Wie das rechte Teilbild erkennen lässt, wird die Spannung $V(A,S)$ nahe der Threshold-Spannung V_{Th} und für negative Werte $V_{GS} = V(G,S)$, wie gewünscht, sehr klein und nicht negativ.

Die neue Schaltung enthält im Prinzip nur den „Emissionsfaktor“ N_D als Modell-Parameter und ist auch etwas einfacher als die Dioden-Schaltung in der Basisarbeit [1]. Diese eine Größe sollte zur Simulation im Bereich des Überganges zur schwachen Inversion ausreichen. N_D bestimmt bei sehr kleinen und negativen Werten V_{GS} die Steigung der Kennlinien $I_D(V_{GS})$ im logarithmischen

Maßstab und den Übergang in der unmittelbaren Umgebung der Threshold-Spannung. Dieser Bereich könnte durch eine geschickt berechnete Verschiebung der Gate-Source-Spannung, die nur für die Umgebung von $V_{GS} \approx V_{Th}$ wirksam wird, etwas besser angepasst werden, doch zur Vermeidung von eventuell zu erwartenden Konvergenzproblemen wird darauf verzichtet. N_D wird deshalb am besten so gewählt, dass das Simulationsergebnis nahe $V_{GS} \approx V_{Th}$ einigermaßen gut wiedergegeben wird. Für stärker negative Gate-Source-Spannungen muss dann eventuell eine etwas größere Abweichung in Kauf genommen werden. – Der Wert der Threshold-Spannung kann im Prinzip den Datenblättern entnommen werden. Da dieser aber den Erfordernissen angepasst werden muss, ist er als zweiter zu optimierender Parameter anzusehen.

2. Temperaturabhängigkeit

Das in der Basisarbeit [1] vorgestellte Modell beschreibt die Temperaturabhängigkeit einigermaßen zufriedenstellend. Es hat sich aber als sinnvoll herausgestellt, neben der Threshold-Spannung V_{Th} und dem Stromparameter I_{do} auch die übrigen Modellparameter als temperaturabhängig anzusetzen. Man erhält dann etwas mehr Flexibilität bei der Anpassung des Modells an Datenblattwerte oder gemessene Kurven. In der Regel reichen lineare Ansätze aus. Für die Threshold-Spannung V_{Th} gilt:

$$V_{Th} = V_{To} + T_{kg} \cdot (Temp - T_{nom}). \quad (2)$$

Hierin ist $Temp$ die Temperatur in $^{\circ}C$, V_{To} der Wert der Threshold-Spannung bei der *nominellen* Temperatur T_{nom} (in $^{\circ}C$), für die die Parameter bestimmt werden sollen und T_{kg} der lineare Temperaturkoeffizient (in der Basisarbeit [1] ist dies der Parameter T_k).

Die Parameter V_{dd} , V_{do} , $\alpha = Alpha$ und N_D werden wie folgt durch Temperaturterme ergänzt:

$$\begin{aligned} V_{dd} &\rightarrow V_{dd} + T_{kd} \cdot (Temp - T_{nom}), \\ V_{do} &\rightarrow V_{do} + T_{ko} \cdot (Temp - T_{nom}), \\ Alpha &\rightarrow Alpha + T_{ka} \cdot (Temp - T_{nom}), \\ N_D &\rightarrow N_D + T_{kn} \cdot (Temp - T_{nom}). \end{aligned} \quad (3)$$

Obwohl der Parameter V_{dd} frei gewählt wird und deshalb eigentlich eine Temperaturabhängigkeit überflüssig ist, kann aber trotzdem in einigen Fällen der Zusatzterm hilfreich sein.

3. Zusammenfassung

Die Korrektur der Gate-Source-Spannung zur Simulation des Bereichs der schwachen Inversion kann durch eine Formel beschrieben werden. Dies erweist sich hinsichtlich des Konvergenzverhaltens als etwas günstiger, verglichen mit der Verwendung einer Dioden-Schaltung im Gate-Source-Kreis. Man kommt mit nur einem Parameter und des zu optimierenden Wertes für die Threshold-Spannung aus. Durch die Berücksichtigung einer Temperaturabhängigkeit der Modellparameter V_{dd} , V_{do} , $\alpha = Alpha$ und N_D kann die Simulation für höhere oder tiefere Temperaturen besser angepasst werden. Zur Parameterbestimmung sei auf die Basisarbeit [1] verwiesen.

4. Anhang: Modellparameter

Im folgenden Abschnitt 4.1 sind die neuen Modellparameter für einen integrierten NMOS- und einen integrierten PMOS-Transistor in Textform wiedergegeben. In den Abschnitten 4.2 und 4.3 sind dann die neuen Parameter für den Power-MOS-Transistor IRF530 zu finden.

Hinweis:

Die Werteangaben der gesteuerten Quellen dürfen in SPICE nur in einer Zeile angegeben werden. Deshalb wird hier im Text für die besonders langen Zeilen eine enge Schrift gewählt! Die Modellparameter sind aber auch in den Bibliotheken „CM5-Tanh_F.lib“ bzw. „IRF530-Tanh_F.lib“

zu finden [2], und für die integrierten Transistoren des Prozesses „CM5“ steht die BSIM-3-Referenzbibliothek „CM5-N.phy“ zur Verfügung [2].

4.1 Tanh-Modell für den 0,8- μ m-CMOS-Prozess „CM5“

```
*****
*   Tanh-Modell für einen NMOS- und einen PMOS-Transistor (Technologie: 0,8- $\mu$ m-CMOS-Prozess CM5) *
*   Vergleichsmodell: MN7 bzw. MP7, Bibliothek CM5-N.phy (BSIM-3-Modell) *
*   Geometrische Abmessungen: NMOS W = 25  $\mu$ m, L = 3  $\mu$ m, M = 4 *
*   PMOS W = 25  $\mu$ m, L = 3  $\mu$ m, M = 12 *
*****f*h**h*a*n*n*o*v*e*r*****j*u*1*i***2*0*1*4*****
*$
* NMOS-Transistor (IDmax = 10 mA)
*
.Subckt CM5-Tanh-N D G S
.Param Vdd = 6V Vdo = 2.8V Ido = 26.3mA A1 = 0.5 A2 = 0.45 Alpha = 1.83
+ VTo = 788mV Rdser = 26 Lambda = 1.3m Rleak = 100Meg ND = 3.0
+ TKg = -1.42m Tko = 4.9m Tkd = -1.2m Tkn = -4m Tka = 0.6m
+ Tnom = 25 NRser = 1.0 MT = 1.13 b = 90m Ioff = 10pA
*
BG B S V=V(G,S)-(VTo+TKg*(Temp-Tnom))
BVG A S V=V(N)*(25.68m*(273+Temp)/298)*ln(1+exp(V(B,S)/(V(N)*(25.68m*(273+Temp)/298))))
BND N 0 V=ND+Tkn*(Temp-Tnom)
BVT Te 0 V=(273+Temp)/(273+Tnom)
B3 F 0 V=(Tanh(b*V(A,S))/b)/(Vdd-(VTo+Tkd*(Temp-Tnom)))
B4 Ido 0 V=Ido*V(Te)**-MT
BD Di S I=Max(Ioff,V(Ido)*(V(F)**(Alpha+Tka*(Temp-Tnom))))*tanh(V(Di,S)/((Vdo+Tko*(Temp-Tnom))*(A1*V(F))**(A2*(Alpha+Tka*(Temp-Tnom))))*(1+Lambda*V(D,S)))
Rpser D Di {50*Rdser}
Bdser D Di I=V(D,Di)/(Rdser*V(Te)**NRser)
Rleak D S {Rleak}
MLCap D GB S S MLCap
VGB G Gb {VGB}
* AC-Modell:
.Model MLCap VDMOS (KP=0 Cgdmax=234fF Cgdmin=30fF CGS=374fF A=4 RG=50
+ IS=4.2f XTi=3.5 EG=1.18 RB=45m N=0.998 Cjo=193fF Vj=0.95 M=0.280 TT=2.5p)
.Param VGB = 0.8V
.EndS CM5-Tanh-N
*$
* PMOS-Transistor (ID = 10 mA)
*
.Subckt CM5-Tanh-P D G S
.Param Vdd = 6V Vdo = 4.2V Ido = 26.3mA A1 = 0.5 A2 = 0.5 Alpha = 1.93
+ VTo = -823mV Rdser = 25 Lambda = 2.3m Rleak = 100Meg ND = 2.25
+ TKg = +1.8m Tko = 0m Tkd = -1.8m Tkn = 0m Tka = 0m
+ Tnom = 25 NRser = 1.0 MT = 1.45 b = 90m Ioff = 10pA
*
BG B S V=V(G,S)-(VTo+TKg*(Temp-Tnom))
BVG A S V=V(N)*(25.68m*(273+Temp)/298)*ln(1+exp(-V(B,S)/(V(N)*(25.68m*(273+Temp)/298))))
BND N 0 V=ND+Tkn*(Temp-Tnom)
BVT Te 0 V=(273+Temp)/(273+Tnom)
B3 F 0 V=-((Tanh(-b*V(A,S))/b)/(Vdd-(-VTo-Tkd*(Temp-Tnom))))
B4 Ido 0 V=-Ido*V(Te)**-MT
BD Di S I=Min(Ioff,-V(Ido)*(V(F)**(Alpha+Tka*(Temp-Tnom))))*tanh(V(Di,S)/((Vdo+Tko*(Temp-Tnom))*(A1*V(F))**(A2*(Alpha+Tka*(Temp-Tnom))))*(1-Lambda*V(D,S)))
Rpser D Di {50*Rdser}
Bdser D Di I=V(D,Di)/(Rdser*V(Te)**NRser)
Rleak D S {Rleak}
MLCap D Gb S S MLCap
VGB G Gb {VGB}
* AC-Modell:
.Model MLCap VDMOS (pchan KP=0 Cgdmax=759fF Cgdmin=97fF CGS=1.21pF A=4 RG=50
+ IS=12f XTi=3.6 EG=1.18 RB=15m N=0.998 Cjo=660fF Vj=0.95 M=0.360 TT=2.5p)
.Param VGB = -0.8V
.EndS CM5-Tanh-P
*$
```

4.2 Tanh-Modell für den NMOS-Power-Transistor IRF530 (statisches Modell)

```
*$
.Subckt IRF530-K D G S
.Param Vdd = 6V Vdo = 2.2V Ido = 12.8A A1 = 0.5 A2 = 0.70 Alpha = 1.60
+ VTo = 4.153V Rdser = 33.0m Lambda = 8.5m Rleak = 100k ND = 8.5
+ TKg = -3.90m Tko = -3.8m Tkd = 0.6m Tkn = -8m Tka = -1.0m
+ Tnom = 25 NRser = 3.37 MT = 1.35 b = 130m Ioff = 10pA
*
BG B S V=V(G,S)-(VTo+TKg*(Temp-Tnom))
BVG A S V=V(N)*(25.68m*(273+Temp)/298)*ln(1+exp(V(B,S)/(V(N)*(25.68m*(273+Temp)/298))))
```

```

BND N 0 V=ND+Tkn*(Temp-Tnom)
BVT Te 0 V=(273+Temp)/(273+Tnom)
B3 F 0 V=(Tanh(b*V(A,S))/b)/(Vdd-(VTO+Tkd*(Temp-Tnom)))
B4 Ido 0 V=Ido*V(Te)**-MT
BD Di S I=Max(Ioff,V(I)^(V(F)**(Alpha+Tka*(Temp-Tnom))))*tanh(V(Di,S)/((Vdo+Tko*(Temp-Tnom))^(A1*V(F))^(A2*(Alpha+Tka*(Temp-Tnom)))))^(1+Lambda*V(D,S))
Rpser D Di {50*Rdser}
Bdser D Di I=V(D,Di)/(Rdser*V(Te)**NRser)
Rleak D S {Rleak}
MLCap D Gb S S MLCap
VGB G Gb {VGB}
* AC-Modell:
.Model MLCap VDMOS (KP=0 Cgdmax=1.35nF Cgdmin=10pF CGS=595pF A=0.6 RG=50m
+ IS=270f XTi=2.4 EG=1.11 RB=8.1m N=1.00 Cjo=550pF Vj=0.35 M=0.37 TT=530n)
.Param VGB = -0.3V
.EndS IRF530-K
*$

```

4.3 Tanh-Modell für den NMOS-Power-Transistor IRF530 (dynamisches Modell)

```

*$
.Subckt IRF530-T D G S ch ca
.Param Vdd = 6V Vdo = 2.2V Ido = 12.8A A1 = 0.5 A2 = 0.70 Alpha = 1.60
+ VTo = 4.153V Rdser = 33.0m Lambda = 8.5m Rleak = 100k ND = 8.5
+ TKg = -3.90m Tko = -3.8m Tkd = 0.6m Tkn = -8m Tka = -1.0m
+ Tnom = 25 NRser = 3.37 MT = 1.35 b = 130m Ioff = 10pA
*
+ Cch = 15m Cbu = 230m Cca = 1.2
+ Rth1 = 0.72 Rth2 = 0.90 Rca = 78.4
*
BG B S V=V(G,S)-(VTo+TKg*(V(ch)-Tnom))
BVG A S V=V(N)*(25.68m*(273+V(ch))/298)*ln(1+exp(V(B,S)/(V(N)*(25.68m*(273+V(ch))/298))))
BND N 0 V=ND+Tkn*(V(ch)-Tnom)
BVT Te 0 V=(273+V(ch))/(273+Tnom)
B3 F 0 V=(Tanh(b*V(A,S))/b)/(Vdd-(VTO+Tkd*(V(ch)-Tnom)))
B4 Ido 0 V=Ido*V(Te)**-MT
BD Di S I=Max(Ioff,V(I)^(V(F)**(Alpha+Tka*(V(ch)-Tnom))))*tanh(V(Di,S)/((Vdo+Tko*(V(ch)-Tnom))^(A1*V(F))^(A2*(Alpha+Tka*(V(ch)-Tnom)))))^(1+Lambda*V(D,S))
VDp D Dp 0V
Rpser Dp Di {50*Rdser}
Bdser Dp Di I=V(D,Di)/(Rdser*((V(ch)+273)/(Tnom+273))**NRser)
Rleak Dp S {Rleak}
MLCap Dp Gb S S MLCap
VGB G Gb {VGB}
* AC-Modell:
.Model MLCap VDMOS (KP=0 Cgdmax=1.35nF Cgdmin=10pF CGS=595pF A=0.6 RG=50m
+ IS=270f XTi=2.4 EG=1.11 RB=8.1m N=1.00 Cjo=550pF Vj=0.35 M=0.37 TT=530n)
.Param VGB = -0.3V
*
* Dynamische Parameter:
*
BP 0 Ch i=V(D,S)*I(VDp)+V(G,S)*I(VGB)
Cch ch 0 {Cch}
Cbu bu 0 {Cbu}
Cca ca 0 {Cca}
Rth1 ch bu {Rth1}
Rth2 bu ca {Rth2}
Rca ca U {Rca}
VU U 0 {temp}
.EndS IRF530-T
*$

```

Literatur

- [1] K.-H. Cordes: *Tanh-Modell für die Simulation von MOS-Transistoren*; Hochschul-Server: G:\docs\etech\Cordes\SPICE\Umdrucke\Tanh-Modell.pdf
- [2] SPICE-Bibliotheken: CM5-Tanh_F.lib, IRF530-Tanh_F.lib bzw. CM5-N.phy; Hochschul-Server: G:\docs\etech\Cordes\SPICE\Spicelib\Tanh-MOS\... bzw. CM5-Referenzbibliothek: G:\docs\etech\Cordes\SPICE\Spicelib\CM5\CM5-N.phy.